

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent Number: JP62229880
Publication date: 1987-10-08
Inventor(s): ASAHI YOSHINORI
Applicant(s):: TOSHIBA CORP
Requested Patent: ☐ JP62229880
Application Number: JP19860070766 19860331
Priority Number(s):
IPC Classification: H01L29/78 ; H01L29/60
EC Classification:
Equivalents:

Abstract

PURPOSE: To alleviate the increase in electric field intensity, to improve withstanding voltage and to decrease adverse effects due to yield of hot carriers, by a structure, wherein impurity regions, which are to become a source and a drain, are positively isolated from a field inversion preventing impurity region.

CONSTITUTION: On a p-type semiconductor substrate 11, an element isolating regions comprising a field oxide film 12 and a high-concentration impurity p<+> region 13 is formed. A gate oxide film is formed by thermal oxidation. A polycrystalline silicon film is formed on the entire surface by CVD. Selective etching is performed, and a gate electrode 16 is formed. A polycrystalline silicon layer is extended to a boundary part between an element region at the element isolating region. With the polycrystalline silicon film 16 as a mask, high concentration impurity n<+> regions 14 and 15 are formed by ion implantation or diffusion. The high-concentration u<+> region 15 for a drain is isolated from the high-concentration p<+> region 13 beneath the field oxide film 12. An insulator 18 of a CVD-silic oxide film is deposited. Contact holes are formed, and an Al evaporated pattern 19 is formed.

Data supplied from the esp@cenet database - 12

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-229880

⑬ Int.Cl.⁴

H 01 L 29/78
29/60

識別記号

庁内整理番号

8422-5F

⑭ 公開 昭和62年(1987)10月8日

審査請求 未請求 発明の数 2 (全4頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭61-70766

⑰ 出 願 昭61(1986)3月31日

⑱ 発 明 者 朝 日 良 典 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑳ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1 発明の名称

半導体装置及びその製造方法

2 特許請求の範囲

1)一導電型の半導体基板と、この基板表面に選択的に設けられた絶縁体からなる素子分離領域と、この素子分離領域に隣接する素子領域の基板表面に設けられた他導電型の第1高濃度不純物領域と、前記素子領域の基板表面に前記第1高濃度不純物領域から所定距離をへだてて設けられた他導電型の第2高濃度不純物領域と、前記素子分離領域の下に設けられた一導電型の高濃度不純物領域と、前記他導電型の第1及び第2高不純物領域の間の基板表面上に絶縁膜を介して設けられた導電層とからなり、前記導電層は素子分離領域と素子領域との境界部分上に存在し、この境界部分で前記一導電型の高濃度不純物領域は前記他導電型の第1高濃度不純物領域と接触していないことを特徴とする半導体装置。

2)一導電型の半導体基板表面に選択的に一導電

型の高不純物領域を形成する工程と、この一導電型の高濃度不純物領域上に絶縁体からなる素子分離領域を形成する工程と、素子分離領域に隣接した素子領域の露出した基板表面上に薄い絶縁層を形成する工程と、この絶縁層上の前記素子領域と素子分離領域との境界部分を含む選択された部分に導電層を形成する工程と、この導電層をマスクとして不純物を注入し、他導電型の第1及び第2高不純物領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明はMOS半導体装置及びその製造方法に関する。

〔従来技術〕

従来のMOS型半導体装置の構造を第5図に示す。第5図aは、平面図であり、A-A'の断面図を第5図bに、B-B'の断面図を第5図cに示す。図においてP型半導体基板1の表面上には絶縁体2からなる素子分離領域が選択的に設けられ

ている。この素子分離領域以外の素子領域表面には互いに電氣的に分離された高濃度の n 型のソース領域4とドレイン領域5が設けられ、これらソース領域4、ドレイン領域5の間の基板1上には、ゲート絶縁膜7を介してゲート電極6が設けられている。ソース領域4とドレイン領域5とゲート電極6上にはこれらに接続される配線9が設けられ、全面は絶縁膜8が堆積されている。また素子分離領域のフィールド酸化膜2の下に基板1には n 型のソース・ドレイン領域4、5に隣接して p 型高濃度不純物(p^+)領域3がフィールド反転防止のために設けられている。

〔発明が解決しようとする問題点〕

半導体装置の微細化が進むにつれて、ゲート酸化膜の薄膜化、基板濃度の上昇などによって接合耐圧が低下する傾向にある。従来のMOS半導体装置は、第5図に示したように高不純物濃度 p^+ 領域とドレイン領域を形成する n^+ 領域が接しているためにゲート電圧が印加されると空乏層が伸びにくくなり、接触部分でとくに電界強度が強くな

る。これにより、耐圧値が低下したり、ホットキャリアが生成され信頼性が低下する。この問題は特にチャネル巾が小さいトランジスタにおいて顕著に現われる。電界の増大を緩和させるために複数の拡散速度の異なる不純物でソース・ドレイン領域を構成するGDD構造や2回のイオン注入によりソース・ドレイン領域を形成し、不純物濃度のプロファイルを滑らかにしたLDD構造が知られているが、これらの構造においても、高不純物濃度 n^+ 領域と p^+ 領域との接触は避けられない。また、この不純物拡散領域 n^+ とフィールド反転防止用の不純物拡散領域 p^+ の接触は空乏層が伸びにくいことから寄生キャパシタンスの容量が増大し、回路の速度が低下するという問題もある。

本発明はこのような耐圧性、信頼性、速度の低下を改善することを目的とする。

〔問題点を解決するための手段〕

以上述べた耐圧性、信頼性、速度の低下は、ソース・ドレインとなる不純物領域 n^+ と、フィールド反転防止用の不純物領域 p^+ とが接触しているこ

とに起因する。そこで本発明は、ゲート電極を形成するための第1層目の導電層を素子領域と素子分離領域との境界部分にも形成し、この導電層をマスクとして不純物を注入し、ソース・ドレイン領域を形成した。本発明はこのように従来の第1層目の導電層をゲート電極に形成すると同時に素子領域と素子分離領域の境界部分に形成することによってソース・ドレインとなる不純物領域 n^+ とフィールド反転防止用の不純物領域 p^+ とを積極的に分離した構造を提供する。

〔作用〕

以上のように構成された半導体装置は、ソース・ドレインとなる不純物領域 n^+ とフィールド反転防止用の不純物領域 p^+ とが接していないため、ゲート電極に電圧が印加されると高濃度不純物 n^+ 領域の基板との境界部分に加えて、従来高濃度不純物 p^+ 領域と接触していた部分においても空乏層が充分広がり、電界強度の増大をおさえることができる。

〔実施例〕

以下、本発明の一実施例を第1図a～gに示す

製造方法を併記して説明する。

まず、 p 型半導体基板11に酸化膜101を形成し、その表面にさらにシリコン窒化膜102を形成し、素子分離領域の選択酸化用パターンを形成する。選択的に形成されたシリコン窒化膜102をマスクにして不純物(例えばボロン)を注入する。(第1図aに図示)次にフィールド酸化膜12を形成した後酸化膜101と窒化膜102を除去し、第1図bに示すような p 型基板11にフィールド酸化膜12と高濃度不純物 p^+ 領域13とからなる素子分離領域が形成される。つづいて熱酸化を行ないゲート酸化膜を形成した後、ゲート電極となる多結晶シリコン膜をCVDにより全面に形成する。つづいて多結晶シリコン膜を選択的にエッチングして、ゲート電極16を形成するとともに第1図cに示すように素子領域と素子分離領域との境界部分にもこの多結晶シリコン膜を延在させる。次にパターン形成した多結晶シリコン膜16をマスクとしてイオン注入または拡散を行ない(第1図dに図示)、第1図eに示すような高濃度不純物

n^+ 領域14, 15が形成され、ドレインの高濃度不純物 n^+ 領域15とフィールド酸化膜下の高濃度不純物 p^+ 領域13とは分離される。つづいて第1図fに示すようにCVDシリコン酸化膜のような絶縁物18を積し、ソース・ドレイン電極用のコンタクトホールを形成した後、Alを蒸着してAlパターン19を形成し、第1図gに示す半導体を得る。第1図gは第1図hのA-A'における断面図である。このように本発明の第1の実施例ではゲート電極のマスクパターンを n^+ のドレイン領域と素子分離酸化膜下の p^+ の不純物領域との境界部分にも延在させこれをマスクとして両領域を形成することにより両領域の接触を避けることができ、電界強度を緩和できる。

次に他の実施例について説明する。

第2図はGDD構造の半導体装置に本発明を適用した実施例である。第1の実施例で説明した工程(第1図a~d)に従い、 p 型半導体基板21上にフィールド酸化膜22とその下の半導体領域に形成された P^+ 型高濃度不純物領域23からなる素

子製造した実施例である。第1図、第2図の実施と同様に p 型半導体基板31上にゲート絶縁膜37を介してゲート電極の多結晶シリコンのパターン36を形成する。(第1図e~cに図示)

その後、多結晶シリコンをマスクとしてソース・ドレイン不純物として拡散速度の速い不純物、例えばリンを注入する。次いで多結晶シリコンの側壁に、CVD SiO_2 40を堆積させ、第2のソース・ドレイン不純物として、例えばヒ素とイオン注入する。この結果ソース・ドレイン領域に n 領域と n^+ 領域が設けられる。多結晶シリコンの側壁にCVD SiO_2 を堆積させる代わりにレジストでパターニングしたのち、第2のイオン注入を行ないその後レジストを除去してもよい。つづいてこの全面に絶縁膜38を堆積する。次にコンタクトホールを形成した後アルミ蒸着を行ない、アルミパターン39を形成して第3図dに示す半導体装置を得る。このようにして製造されたLDD構造の半導体装置は、ドレインの n^+ 領域35と素子分離領域のフィールド酸化膜32下のフィールド反

子分離領域を形成し、この素子分離領域に傾斜する素子領域にゲート酸化膜27を形成し、このゲート酸化膜27上のゲート電極を形成する部分及び素子領域と素子分離領域の境界部分上に多結晶シリコン層26を形成する。この多結晶シリコン層をマスクにして n 型の拡散速度の速い不純物、例えばリンを比較的深く注入した後、この不純物に比べて拡散速度の遅い n 型の不純物、例えばヒ素を注入して、ソース・ドレイン領域24, 25を形成する。その後CVDシリコン酸化膜28を堆積した後、コンタクトホールを形成し、アルミ電極29を蒸着する。このように製造された半導体装置は、ドレイン領域25とフィールド反転防止用不純物23が分離されているので空乏層を十分に拡げることができる上に、ソース・ドレイン領域が第1の高不純物濃度領域と2重の注入で更に高濃度の第2の高不純物濃度領域により構成され、第3図に示すように不純物濃度のプロファイルが滑らかであり、電界強度を緩和することができる。

第3図はLDD構造の半導体装置を本発明によ

転防止用高濃度不純物 p^+ 領域33とが接触しない構造が得られるのでこの部分においても空乏層が伸び、電界強度の増加をおさえることができる。更に不純物濃度のプロファイルが滑らかな構造であるのでより電界強度の低減に効果的である。

第4図はゲート電極16, 26, 36をドレイン領域上の基板表面と素子分離領域との境界部分の一部のみに延在させた実施例である。製造方法は第1の実施例と同様であり、第1図の実施例よりは多少効果が劣るが信頼性は充分得られる。

〔発明の効果〕

以上説明したように、本発明によれば電界強度の増加が緩和されるため、耐圧性が向上し、またホットキャリアの発生による悪影響も低減し、信頼性が向上する。更に空乏層が充分に伸びるため寄生容量の増加がおさえられ、回路のスピードの低下を防ぐことができる。

4 図面の簡単な説明

第1図は、本発明による一実施例の製造方法及び半導体装置の断面図、第2図は他の実施例の半

導体装置の断面図、第3図は他の実施例の製造方法及び半導体装置の断面図、第4図は他の実施例の平面図、第5図は従来の半導体装置の平面図と断面図である、

- 11…半導体基板、12…素子分離領域
13… p^+ 不純物領域 14…ソース n 領域
15…ドレイン n 領域 16…ゲート電極

代理人弁理士 則近 意 佑
大 胡 真 夫

